

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-180332

(43)Date of publication of application : 28.06.1994

(51)Int.Cl.

G01R 19/00

H02H 3/087

H03K 17/08

(21)Application number : 04-332586

(71)Applicant : NEC KANSAI LTD

(22)Date of filing : 14.12.1992

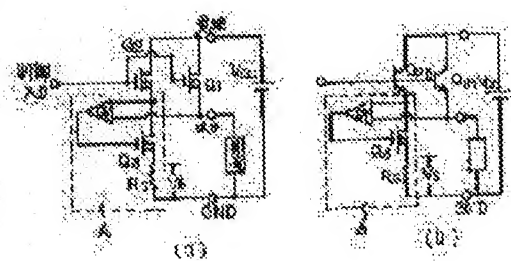
(72)Inventor : NOSE TADASHI

(54) CURRENT DETECTION CIRCUIT

(57)Abstract:

PURPOSE: To detect the electric current flowing to an output transistor with high accuracy.

CONSTITUTION: The title circuit is constituted in such a way that a current detecting transistor Q2 which is resemble to an output transistor Q1 and has a current driving ability which is $1/N$ of that of the transistor Q1 is provided and an active load A which generates an electric current following the voltage drop of the transistor Q2 so that the voltage drop of the transistor Q1 can become equal to that of the transistor Q2 is connected to the transistor Q2 as the load of the transistor Q2. In addition, the electric current which is $1/N$ of the electric current flowing to the transistor Q1 can be detected with high accuracy and a current detecting voltage proportional to the current can be obtained by means of a current detecting resistor.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 6-180332

(43) 公開日 平成6年(1994)6月28日

(51) Int. Cl.⁵

識別記号

片内整理番号

F I

技術表示箇所

G 0 1 R 19/00

D

H 0 2 H 3/087

9061-5 G

H 0 3 K 17/08

B 9184-5 J

審査請求 未請求 請求項の数 3

(全 4 頁)

(21) 出願番号 特願平4-332586

(22) 出願日 平成4年(1992)12月14日

(71) 出願人 000156950

関西日本電気株式会社

滋賀県大津市晴嵐2丁目9番1号

(72) 発明者 能勢 忠司

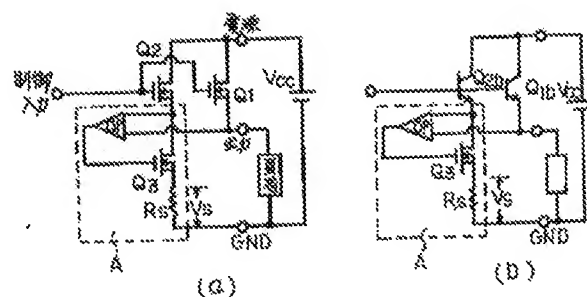
滋賀県大津市晴嵐2丁目9番1号関西日本電気株式会社内

(54) 【発明の名称】 電流検出回路

(57) 【要約】

【目的】 出力トランジスタに流れる電流を高精度で検出する。

【効果】 出力トランジスタQ1と相似な電流駆動能力が1/Nの電流検出用トランジスタQ2を設け、電流検出用トランジスタQ2の負荷として出力トランジスタQ1の電圧降下と電流検出用トランジスタのQ2電圧降下が等しくなるように追従する電流を発生する能動負荷Aを接続し、出力トランジスタQ1に流れる電流の1/Nの電流を高精度で取り出し、電流検出用抵抗にて電流に比例した電流検出電圧を得る構成とした。



【特許請求の範囲】

【請求項1】主電流を出力する第1のトランジスタと小さいがそれに特性相似な電流検出用の第2のトランジスタを有し、前記両トランジスタは制御電極（ゲートまたはベース）が共通接続され、ドレイン（またはコレクタ）がソース（またはエミッタ）かの一方が共通接続されて電源の一方に接続され、前記第1のトランジスタの他方は負荷を介して電源の他方に接続され、前記第2のトランジスタの他方は能動負荷を介して電源の他方に接続されてなり、前記能動負荷は前記第2のトランジスタの他方の電位を前記第1のトランジスタの他方の電位と等しくするものであることを特徴とする電流検出回路。

【請求項2】前記能動負荷が電流出力用の第3のトランジスタと電源がわに配置した電流検出用抵抗との直列回路である請求項1の電流検出回路。

【請求項3】能動負荷の電流出力用第3のトランジスタとミラー接続する相似な第4のトランジスタを設け、第4のトランジスタの出力端子に能動負荷出力電流検出用抵抗を挿入した請求項1に記載の電流検出回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】大電流を流す電力用トランジスタの負荷電流の検出方法に関する。

【0002】

【従来の技術】従来のこの種の検出回路は、図5

(a)、(b)に示す通り主電流（出力電流 I_o のほとんど）を出力するトランジスタQ1（またはQ1b）と、それにドレイン（またはコレクタ）および制御電極（ゲートまたはベース）が共通接続され、前記トランジスタQ1（またはQ1b）と特性相似な小さい電流検出用トランジスタQ2（またはQ2b）とで構成され、ドレイン（またはコレクタ）は出力端子に接続され、制御電極（ゲートまたはベース）は制御入力端子に接続され、トランジスタQ2のソース（またはトランジスタQ2bのエミッタ）とトランジスタQ1のドレイン（またはトランジスタQ1bのエミッタ）の間に電流検出用抵抗 R_s が接続され、トランジスタQ1のソース（またはトランジスタQ1bのエミッタ）はGNDに接続されていた。

【0003】この動作は電流検出用抵抗 R_s が小さい時、トランジスタQ1とトランジスタQ2（またはトランジスタQ1bとトランジスタQ2b）はカレントミラー動作となり、出力端に流れる電流 I_o はトランジスタQ1（またはQ1b）、トランジスタQ2（またはQ2b）の相対比を $N:1$ とするとトランジスタQ2（またはQ2b）には、 $I_o/(N+1)$ の電流が流れる。ここで N が1に比べて非常に大きいときは、 I_o/N となる。

【0004】電流検出用抵抗 R_s の両端には検出電圧（ V_s ）

$$V_s = I_o \cdot 1/N \cdot R_s$$

が得られることになる。

【0005】

【発明が解決しようとする課題】図5の従来例によると電流検出用トランジスタQ2（またはQ2b）に流れる電流は $R_s=0$ の時に出力電流 I_o に比例することになり、検出電圧 V_s を大きくしたい場合 R_s は実用的な値をてることになり、比例関係が崩れ、検出精度が悪いという欠点を有していた。

10 【0006】これはトランジスタQ2のゲート・ソース電位またはトランジスタQ2bのベース・エミッタ間電位が電流検出電圧 V_s 分低くなるためである。

【0007】

【課題を解決するための手段】この発明ではトランジスタQ1（またはQ1b）とQ2（またはQ2b）の動作条件、すなわちゲート・ソース間（またはベース・エミッタ間）電圧およびドレイン・ソース間（またはコレクタ・エミッタ間）電圧が等しくなるよう作用する能動負荷をトランジスタQ2（またはQ2b）の負荷とし、能動負荷の出力電流が出力電流に比例する構成とし、その電流を電流検出抵抗に流し電流検出電圧を得る構成とした。

【0008】

【作用】上記構成によるとトランジスタQ1（またはQ1b）とトランジスタQ2（またはQ2b）の相対比 $1/N$ のほぼ完全に比例した大きな検出電圧を電流検出用抵抗両端に発生できる。

【0009】

30 【実施例】図1(a)に第1の実施例を示す。Q1は主電流出力用NチャンネルMOSトランジスタ、Q2は電流検出用NチャンネルMOSトランジスタであり、相対比は $N:1$ に設定されている。ドレインは共通接続され電源端子に、ゲートは共通接続され制御入力端に、トランジスタQ1のソースは出力端に接され、外部でGNDとの間に負荷が接されている。トランジスタQ2のソースには能動負荷Aの電流を出力するNチャンネルのMOSトランジスタQ3のドレインが接続され、トランジスタQ3のソースは電流検出用抵抗 R_s を介しGNDに接続されている。

40 【0010】トランジスタQ3のゲートは演算増幅器OPの出力が接され、演算増幅器OPの+入力端はトランジスタQ2のソース、-入力端はトランジスタQ1のソースに接続されている。

50 【0011】本構成によれば、外部負荷による負荷電流 I_L が変化し、トランジスタQ1のドレイン・ソース間電圧変化しても、トランジスタQ1とQ2のソース電位が常に等しくなるように演算増幅器OPはトランジスタQ3のゲートを制御するので、トランジスタQ1、Q2は理想に近いカレントミラー動作をし、トランジスタQ2に I_L/N なる電流を流すことができる。従って電流

検出抵抗 R_s の両端には検出電圧 (V_s) として

$$V_s = I_L / N \times R_s$$

が得られる。

【0012】図1(b)はNチャンネルMOSトランジスタ Q_1 , Q_2 にかえてPNPトランジスタ Q_{1b} , Q_{2b} を用いた例である。

【0013】動作については図1(a)に示す例と類似するので説明は略す。

【0014】

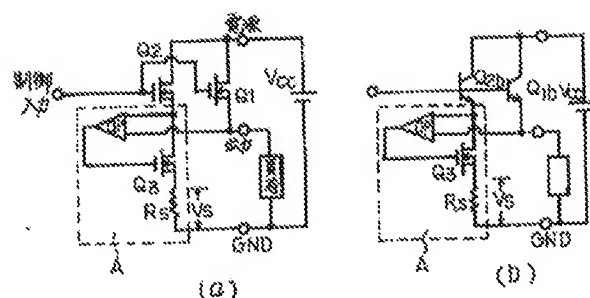
【実施例2】図2(a), (b)に第2の実施例を示す。10 (a)はPチャンネルMOSトランジスタ Q_1 , Q_2 のソースが共通接続され、電源にドレインがそれぞれ出力端および能動負荷Aの電流出力用トランジスタ Q_3 のドレインに接続される点があり、この場合はトランジスタ Q_1 , Q_2 のドレイン電圧が等しくなるよう演算増幅器OPおよびトランジスタ Q_3 が作用することになる。

【0015】同図bはPチャンネルMOSトランジスタ Q_1 , Q_2 をPNPトランジスタ Q_{1b} , Q_{2b} とした例で、動作は図2(a)の例と類似するので説明は省略 20 する。

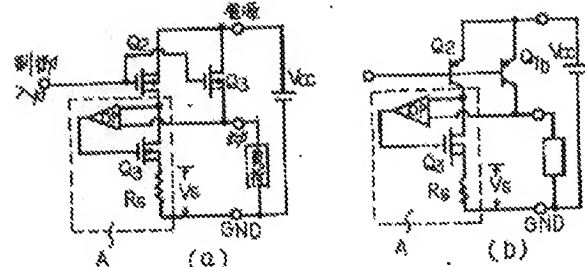
【0016】

【実施例3】図3(a), (b)に第3の実施例を示す。実施例1, 2と違う点はトランジスタ Q_1 (または Q_{1b})、 Q_2 (または Q_{2b}) がGND側に配された点およびそれに伴い能動負荷Aを構成する電流出力用トランジスタ Q_3 がPチャンネルMOSトランジスタになり、電流検出用対向 R_s が電源側に接続された点であり、動作については同様であるので省略する。

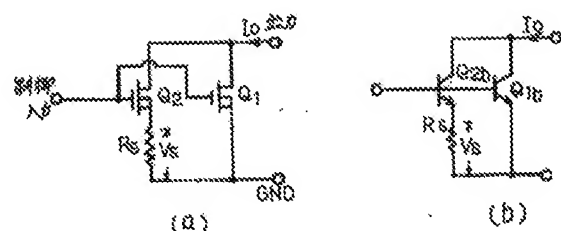
【図1】



【図2】



【図3】



【0017】

【実施例4】図4に第4の実施例を示す。本回路は第1の実施例の能動負荷Aの電流出力用トランジスタ Q_3 のソースを直接GNDに結び、トランジスタ Q_3 とゲートおよびソースが共通接続されたトランジスタ Q_4 を設け、 Q_4 のドレインと電源の間に電流検出用抵抗 R_s を挿入した例でトランジスタ Q_3 に流れる電流に比例した電流がトランジスタ Q_4 より得られる構成を取ったものである。

【0018】本構成は第2～第4の実施例においても同様に構成することができる。

【0019】

【発明の効果】以上説明したように、本発明による構成を取ることでより高効率かつ構成度で負荷電流に比例した電流検出電圧を取り出すことができる。

【図面の簡単な説明】

【図1】 第1の実施例

【図2】 第2の実施例

【図3】 第3の実施例

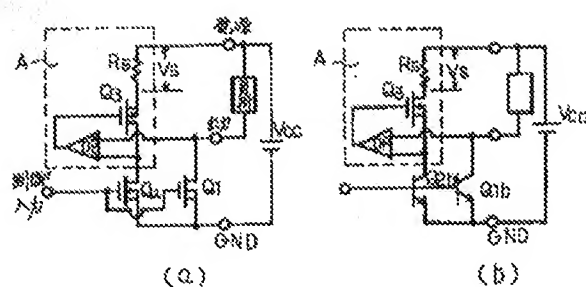
【図4】 第4の実施例

【図5】 従来例

【符号の説明】

Q_1 , Q_{1b} 出力トランジスタ
 Q_2 , Q_{2b} 電流検出用トランジスタ
 Q_3 能動負荷電流出力トランジスタ
 Q_4 能動負荷電流分流トランジスタ
 OP 演算増幅回路
 A 能動負荷回路
 R_s 電流検出用抵抗

【図3】



【図4】

